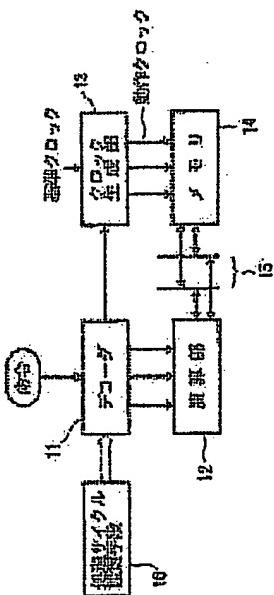


SIGNAL PROCESSING CIRCUIT

Publication number: JP2000076066 (A)
Publication date: 2000-03-14
Inventor(s): ISHIHARA TERUO
Applicant(s): FUJITSU LTD
Classification:
- International: G06F9/30; G06F9/30; (IPC1-7): G06F9/30
- European:
Application number: JP19980247925 19980902
Priority number(s): JP19980247925 19980902

Abstract of JP 2000076066 (A)

PROBLEM TO BE SOLVED: To provide a signal processing circuit capable of controlling a processing cycle and the velocity of an operating clock and attaining improvement in processing efficiency and the reduction of power consumption in signal processing based on one-instruction/one-cycle processing such as DSP.; **SOLUTION:** This DSP is provided with a decoder 11 for fetching and decoding an instruction, an arithmetic part 12 for executing prescribed arithmetic processing according to the fetched instruction, a clock generating part 13 for generating the operating clock having the prescribed processing cycle based on a reference clock previously supplied from the outside, a processing cycle setting means 16 for setting the processing cycle to be a reference based on the contents of signal processing instructed by the instruction and the number of processing cycles for every signal processing, and a memory 14 for reading/writing data through a bus 15 in the prescribed processing cycle based on the generated operating clock.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-76066

(P2000-76066A)

(43)公開日 平成12年3月14日 (2000.3.14)

(51)Int.Cl.⁷

G 06 F 9/30

識別記号

330

F I

G 06 F 9/30

マーク〇(参考)

330 B 5 B 0 3 3

審査請求 未請求 請求項の数 3 OL (全 7 頁)

(21)出願番号 特願平10-247925

(22)出願日 平成10年9月2日 (1998.9.2)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 石原 郁雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100072604

弁理士 有我 単一郎

Fターム(参考) 5B033 AA03 BC01

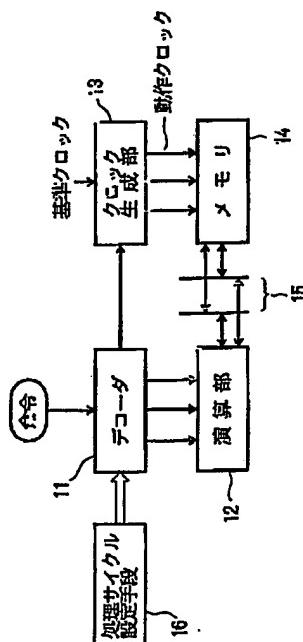
(54)【発明の名称】 信号処理回路

(57)【要約】

【課題】 本発明は、DSPのような1命令1サイクル処理を基本とする信号処理において、処理サイクル及び動作クロックの速度を調整可能とし、処理効率の向上及び消費電力の低減を図ることができる信号処理回路を提供することを課題とする。

【解決手段】 本発明のDSPは、命令を取り込んでデコードするデコーダ11と、取り込まれた命令に従って所定の演算処理を実行する演算部12と、予め外部から供給される基準クロックに基づいて所定の処理サイクルを有する動作クロックを生成するクロック生成部13と、命令によって指示された信号処理の内容に基づいて基準となる処理サイクル、及び、各信号処理毎の処理サイクル数を設定する処理サイクル設定手段16と、生成された動作クロックに基づいて所定の処理サイクルでバス15を介してデータの読み出し／書き込みが行われるメモリ14と、を具備している。

第1の実施例の信号処理回路の構造構成図



【特許請求の範囲】

【請求項1】動作クロックの1サイクル期間で1つの信号処理の命令を実行する、1命令1サイクルを基本とする処理を行う信号処理回路において、前記処理を制御するプログラムに含まれる前記信号処理毎の所要時間及び実行頻度に応じて、前記信号処理の処理サイクルを任意に設定する処理サイクル設定手段を有し、

前記処理サイクル設定手段は、前記信号処理のうち、最も実行頻度の高い前記信号処理に必要とする所要時間を基準サイクルに設定するとともに、前記基準サイクルよりも所要時間の長い前記信号処理に対して、所定の待機時間を付加し、前記基準サイクルの複数倍の処理サイクルを設定することを特徴とする信号処理回路。

【請求項2】前記動作クロックは、前記処理サイクル設定手段により設定される基準サイクルに基づいて、外部から供給される一定速の基準クロックを倍増化し、クロック速度を設定するクロック速度制御手段により生成されることを特徴とする請求項1記載の信号処理回路。

【請求項3】前記プログラムは、少なくとも積和演算処理を基本とし、かつ、異なる所要時間及び実行頻度を有する他の信号処理を含むアプリケーションプログラムであって、

前記基準サイクルの複数倍の処理サイクルで前記積和演算処理を実行することを特徴する請求項1又は2記載の信号処理回路。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、信号処理回路に関し、特に、ディジタルシグナルプロセッサのような、1命令1クロックサイクルを基本として信号処理動作を実行する信号処理回路に関する。

【従来の技術】近年、急激に進展している移動体通信やマルチメディア通信等の分野においては、種々の符号化処理が行われている。これらの符号化処理にあっては、高速な信号処理が可能で、かつ、低消費電力化が可能なディジタルシグナルプロセッサ（以下、DSPという）や、DSP及びその附加回路により構成される信号処理システムが適用されることが多い。また、近年のLSI技術の進歩により、多くの回路部品及び装置が一つのLSIチップ上に集積されるようになってきており、DSPの処理能力の向上に伴い、従来、専用の周辺回路により行われていた信号処理が、DSP内部でのプログラム処理により効率的かつ省スペースで実現されるようになってきている。上述した通信機器における符号化処理のように、特定の処理機能の効率的な実行が望まれる回路装置においては、予め周波数が固定されたクロックを行い、1命令を1サイクルで処理する手法が基本として採用されている。これは、パソコン等において適用されるような、アプリケーションプログラム毎に異なるサイクルの動作クロックを適宜選択し、実行処理する多サイク

ル処理とは異なる。特に、従来の処理サイクルの設定方法にあっては、アプリケーションプログラムに含まれる信号処理の種類及び実行頻度が異なるため、最も重要な処理（クリティカルパス）の所要時間を基準にし、この所要時間を基準サイクル（1パルス）となるように処理サイクルを設定していた。その具体例について、図5及び図6を参照して説明する。従来のDSPは、図5に示すように、命令を取り込んでデコードするデコーダ11と、取り込まれた命令に従って所定の演算処理を実行する演算部12と、予め外部から供給される基準クロックに基づいて一定のサイクルを有する動作クロックを生成するクロック生成部13と、動作クロックに基づいて演算処理に必要なデータがバス15を介して読み出し／書き込みされるメモリ14と、を具備している。ここで、DSPは、動作クロックに基づいて、データの読み出し／書き込み動作に関連する転送処理の他、演算部12におけるデータの演算処理等を実行する。このような構成において、信号処理時間と処理サイクルとの関係は、図6に示すように、各種の信号処理のうち、最も長い処理時間TAを必要とする演算処理A（例えば、積和演算処理）を全ての信号処理の中心と考え、動作クロックの基準サイクル（1命令の処理サイクル=処理時間TA）を設定することにより、他の演算処理B、C及び転送処理A、B、Cを当該基準サイクルに要する時間TA内に終了するように設計されている。したがって、例えばクリティカルパスである演算処理Aの所要時間が10nsである場合には、このシステムの処理サイクル、すなわち基準サイクルは、10nsに設定され、所要時間が10nsよりも短い他の演算処理B、C及び転送処理A、B、Cもこの処理サイクルで実行される。

【発明が解決しようとする課題】上述した1命令1サイクルを基本とする処理にあっては、アプリケーションプログラムに、例えばDSPにおける基本となる信号処理である積和演算処理（クリティカルパス）と、比較的簡単な信号処理を行うワードの加算処理等が含まれている場合、演算処理が複雑な積和演算とワードの単純加算とでは、演算終了までに必要とする処理時間が異なるうえ、これらを完全に一致させることは極めて難しいため、必然的に処理時間に長短が生じることになる。そのため、図6に示したように、クリティカルパスである演算処理Aの実行頻度が低く（例えば、100回の信号処理のうち、1、2回実行）、他の信号処理のうち演算処理Bの実行頻度が高い（例えば、100回の信号処理のうち、50回実行）場合には、演算処理Aの所要時間TAを基準サイクルとする処理サイクルの設定方法では、圧倒的に実行頻度の高い演算処理Bが十分効率的に実行されず、所要時間に多大なロス〔(TA-TB)×実行回数〕が生じ、アプリケーションプログラム全体としての処理効率が低下するという問題を有していた。また、一般に、プログラム制御の信号処理システムにおいて

は、完全なハード構成のシステムとは異なり、一部に通常のサイクルとは異なる速度の動作クロックを持つことは極めて困難であり、信号処理システムとしての処理速度、すなわち動作クロックの速度（周波数）は処理時間を最も必要とする信号処理に依存する場合が多い。すなわち、上述した演算処理Aの所要時間が10nsの場合には、100MHzの周波数を有する動作クロックが固定的に供給される。特に、1命令1サイクルを基本として信号処理を行うDSPにおいては、実行頻度が高く、所要時間の短い信号処理である演算処理B（所要時間TBが例えば8ns）に合わせて動作クロックの速度を100MHzから125MHzに上昇させた場合、最も所要時間の長い信号処理である演算処理Aを実行すると、処理サイクルのオーバーフローにより、その処理結果が保証されなくなるため、動作クロックの速度は、信号処理の中で最も所要時間の長い処理機能であるクリティカルパス（演算処理A）に依存して決定しなければならなかつた。したがって、従来のDSPにおいては、クリティカルパスに基づいて処理サイクル及び動作クロックの速度が一定に設定されていたため、クリティカルパスの実行頻度が低い場合には、システム全体の処理効率が著しく低下するという問題を有していた。本発明は、このような問題点を解決し、DSPのような1命令1サイクルを基本とする信号処理において、アプリケーションプログラムによって異なる信号処理の所要時間及び実行頻度に応じて、処理サイクル及び動作クロックの速度を調整可能とし、処理効率の向上及び消費電力の低減を図ることができる信号処理回路を提供することを目的とする。

【課題を解決するための手段】上記の目的を達成するために、請求項1記載の発明は、動作クロックの1サイクル期間で1つの信号処理の命令を実行する、1命令1サイクルを基本とする処理を行う信号処理回路において、前記処理を制御するプログラムに含まれる前記信号処理毎の所要時間及び実行頻度に応じて、前記信号処理の処理サイクルを任意に設定する処理サイクル設定手段を有し、前記処理サイクル設定手段は、前記信号処理のうち、最も実行頻度の高い前記信号処理に必要とする所要時間を基準サイクルに設定するとともに、前記基準サイクルよりも所要時間の長い前記信号処理に対して、所定の待機時間を付加し、前記基準サイクルの複数倍の処理サイクルを設定することを特徴としている。また、請求項2記載の発明は、請求項1記載の信号処理回路において、前記動作クロックは、前記処理サイクル設定手段により設定される基準サイクルに基づいて、外部から供給される一定速の基準クロックを倍化し、クロック速度を設定するクロック速度制御手段により生成されることを特徴としている。さらに、請求項3記載の発明は、請求項1又は2記載の信号処理回路において、前記プログラムは、少なくとも積和演算処理を基本とし、かつ、異なる所要時間及び実行頻度を有する他の信号処理を含む

アプリケーションプログラムであって、前記基準サイクルの複数倍の処理サイクルで前記積和演算処理を実行することを特徴としている。本発明に係る信号処理回路によれば、信号処理に必要とする所要時間が長く、実行頻度の低いクリティカルパスに基づいて動作クロックの基準サイクルを設定する従来手法と異なり、アプリケーションプログラムの信号処理の内容に応じて、実行頻度の高い信号処理に必要とする所要時間に基づいて処理サイクルを設定するとともに、クリティカルパスを基準サイクルの複数倍の処理サイクルで実行することにより、実行頻度の高い大半の信号処理を最適な処理サイクルで実行することができる。また、実行頻度の高い信号処理の所要時間に基づいて設定された処理サイクルに対応するように、外部から供給される基準クロックを倍化することにより、動作クロックの速度（周波数）を上昇させて設定することができ、最適な処理速度で信号処理を実行することができる。したがって、DSP等に適用される、積和演算処理を基本処理とするアプリケーションプログラムにおいても、実行頻度の低い積和演算処理を複数サイクルで実行し、実行頻度の高い他の信号処理を1サイクルで実行するとともに、動作クロックを該当する処理サイクルに対応した最適な処理速度に設定することにより、大部分の機能を占める信号処理を最も効率良く動作させ、システム全体として信号処理の効率を向上させることができるため、DSPの動作速度の向上及び低電圧化を図ることができ、携帯型の通信機器やマルチメディア機器等に適用して良好な信号処理回路を実現することができる。

（基本概念）以下に、本発明の基本概念について説明する。上述した従来の処理サイクルの設定方法においては、各信号処理に必要とされる所要時間が、ほとんど同一である場合には、クリティカルパスに相当する信号処理に基づいて、基準サイクルを設定し、動作クロックの速度を基準サイクルに対応して決定することにより、最適化された処理効率を有する信号処理回路を設計することができるが、一般的には、各々の信号処理に必要な所要時間を同等に整える作業は極めて困難であった。また、短い所要時間で処理を終了できる演算処理や転送処理等を、わざわざ遅延させることは、信号処理回路の処理能力の向上という観点からは逆行するものであって、検討の対象とされてこなかった。本願発明者は、上記事項を銳意検討した結果、信号処理を制御するアプリケーションプログラムにおいて、クリティカルパスである信号処理をほとんど使用しない場合には、実行頻度の最も高い他の信号処理に必要な処理時間を基準サイクルとして設定することにより、クリティカルパスの処理効率が低下するが、システムの大半を占める信号処理を最適化された処理サイクル及び処理速度で実行することにより、システム全体として処理効率を向上させることができることを見出した。本発明に係る信号処理回路に適用

(4) 開2000-76066 (P2000-76066A)

される処理サイクルの設定方法について、図1を参照して具体的に説明する。図1に示すように、本発明は、DSP等に適用される特定のアプリケーションプログラムDSPにおいて、最もクリティカルな処理である演算処理Aがまれにしか実行されない場合、演算処理Aよりも所要時間が短く、かつ、最も実行頻度の高い演算処理Bに着目し、その所要時間TBを基準サイクルに設定して、実行頻度の高い処理を1サイクルで処理終了するとともに、所要時間の長いクリティカルな処理である演算処理A及び転送処理Aを実行する場合には、それぞれに所定の待機時間ta1、ta2を付加して、基準サイクルの複数倍（この場合は2倍）の処理サイクルで処理終了する。また、演算処理Bの所要時間TBに基づいて設定された基準サイクルに対応させて、動作クロックの速度を最適化する。具体的には、演算処理Aの所要時間T

$$\frac{TA_1}{TB} \times 100 (\%)$$

したがって、演算処理A及び転送処理Aの実行頻度aが、次に（2）式を満たしていれば、待機時間ta1、ta2を付加して、2サイクル処理を実行したとして

$$\left(\frac{TA_1}{TB} - 1 \right) \times 100 > a (\%) \quad \dots \dots \dots (2)$$

例えば、演算処理Aの所要時間TA1が10ns、演算処理Bの所要時間が8nsの場合には、実行頻度が全体の信号処理の25%以下であれば、実質的に処理能力の向上を図ることができる。

【発明の実施の形態】次に、本発明に係る信号処理回路の実施例について、図2から図4を参照して説明する。

（第1の実施例）図2は、DSPに本発明に係る処理サイクル設定手段を適用した、第1の実施例の概略構成を示すものである。本実施例のDSPは、命令を取り込んでデコードするデコーダ11と、取り込まれた命令に従って所定の演算処理を実行する演算部12と、予め外部から供給される基準クロックに基づいて所定の処理サイクルを有する動作クロックを生成するクロック生成部13と、命令によって指示された信号処理の内容に基づいて基準となる処理サイクル、及び、各信号処理毎の処理サイクル数を設定する処理サイクル設定手段16と、生成された動作クロックに基づいて所定の処理サイクルでバス15を介してデータの読み出し／書き込みが行われるメモリ14と、を具備している。処理サイクル設定手段16は、図1に示したように、DSPに適用されるアプリケーションプログラムにおいて、最もクリティカルな処理である演算処理Aの実行頻度が極めて低く、かつ、他の信号処理である演算処理Bの実行頻度が極めて、あるいは最も高い場合には、演算処理Bに必要な所要時間TBを基準サイクルに設定して、この基準サイクルよりも所要時間の短い演算処理B、C及び転送処理B、Cを1サイクル（TB）で処理し、一方、基準サイクルよりも所要時間の長い演算処理A及び転送処理Aを

A1を10ns、演算処理Bの所要時間TBを8nsとした場合、従来手法によれば、基準サイクルは10nsであるため、動作クロックの速度は100MHzであるが、本発明においては、基準サイクルを8nsに短縮することができるため、動作クロックの速度を125MHzに向上させることができ、より高速で処理動作を実行することができる。以上の処理サイクル及び動作クロックの速度の設定による効果を定量的に示すと、演算処理A及び転送処理Aの実行頻度を信号処理全体のa%とした場合、これらの処理に所定の待機時間ta1、ta2を付加することにより、a%の処理オーバーヘッドが発生することになるが、基準サイクルの時間をTA1からTBに設定することにより、動作クロックの速度（周波数）を次の（1）式のように向上させることができる。

【数1】

$$\dots \dots \dots (1)$$

も、システム全体としては処理能力が向上したことになる。

【数2】

$$\dots \dots \dots (2)$$

2サイクルで処理する。この際、演算処理A及び転送処理Aの所要時間TA1及びTA2に、各々待機（ウェイト）時間ta1及びta2を付加することにより、演算処理A及び転送処理Aに必要な所要時間（TA1+ta1、TA2+ta2）が2サイクル分（2×TB）となるように設定される。すなわち、デコーダ11に入力された命令に基づいて、各処理機能への制御信号が生成される際、同時に待機時間が付加される命令（演算処理A及び転送処理A）については、デコーダ11からクロック生成部13に制御信号が送出され、所定の時間ta1及びta2だけ待機状態に設定されて、実質2サイクルで実行され、演算処理B、C及び転送処理B、Cについては、通常の1サイクル処理が実行される。ここで、2サイクル処理の信号処理が終了するまでは、他の信号処理は待機状態に設定され、この間の動作クロックの供給を停止することができる。したがって、本発明によれば、アプリケーションプログラムにおける処理内容に応じて、演算機能をグループ化し、そのグループごとに待機時間を付加して、処理サイクル数を設定するとともに、処理サイクルを切り換えることにより、各信号処理を最も効率の良い処理サイクルで実行することができる。

（第2の実施例）図3は、データ転送処理に本発明に係る処理サイクルの設定方法を適用した、第2の実施例の概略構成を示すものである。本実施例は、データ転送処理における処理内容に応じて処理サイクル数を切り換える設定することを特徴としている。図3に示すように、データ転送処理において、単純にバス幅と同じビット数の

ワードデータWD 1をバス15を介して所定の処理機能へ転送する場合と、ロングワードデータWD 2を丸めクリップ処理部21により丸め処理、及び、丸め処理に伴うオーバーフロー時のクリップ処理を行い、転送する場合とでは、処理に必要とする所要時間に大きな差がある。すなわち、前者は、ワードレジスタREGに保持されたワードデータWD 1を選択して、バス15に出力する簡易な処理であるが、後者の場合には、アキュームレータACCに保持されたロングワードデータWD 2に対して、切り捨てを行うビットでの丸め処理を実行するための加算処理に加え、加算することによってオーバーフローが発生した場合のクリップ処理、若しくは、ガードビットにワードで表現できる値を超えている場合のクリップ処理とを有しているため、各々の処理に必要な処理時間が均一とならず、必然的に時間差が生じる。本実施例は、アプリケーションプログラムに含まれる、丸め・クリップ処理を行うデータ転送処理の実行頻度が低く、ワードデータをレジスタから選択して転送する単純なワード転送処理の実行頻度が高い場合には、通常クリティカルパスとして処理サイクルの基準となる丸め・クリップ処理を行うデータ転送ではなく、実行頻度の高い単純なワード転送処理に必要な所要時間を基準サイクルとして設定するものである。そして、単純なレジスタ選択を行う動作と、丸め・クリップ処理までを行う動作を、レジスタの設定によって切り換えることにより、アプリケーションプログラムによる信号処理の違いによって生じる転送処理毎の処理サイクルを設定制御し、各転送処理を最適化された処理サイクルで実行することができる。

(第3の実施例) 図4は、DSPに本発明に係る処理サイクル設定手段及びクロック速度制御手段を適用した、第3の実施例の概略構成を示すものである。本実施例は、上述した第1の実施例において、アプリケーションプログラムに含まれる信号処理に基づいて設定された処理サイクルに対応して、動作クロックの速度(周波数)を回路装置(LSI)内部でプログラム制御により設定制御することを特徴としている。上述した実施例においては、信号処理の内容に応じて、処理サイクルが短縮されるが、この際、動作クロックの速度が一定のままではシステムの処理能力を有効に向上させることはできない。すなわち、上述した実施例において、処理サイクルが10nsから8nsに短縮されても、供給される動作クロックが100MHzのままで、実質的に処理効率が向上したことにはならない。そこで、本実施例においては、図4に示すように、処理サイクル設定手段16によるデコード11及びクロック生成部13の制御に連動して、基準クロックの倍増比を設定するクロック速度制御手段17と、設定された倍増比に基づいて外部から供給される基準クロックを倍増するPLL(Phase Locked Loop)18と、を具備している。そして、処理サイク

ル設定手段16が、最も実行頻度が高い信号処理に必要な所要時間に基づいて、基準クロックを設定すると同時に、クロック速度制御手段17が、この基準サイクルに対応する動作クロックの速度を設定するようにPLL18における倍増比を設定する。このような構成により、最も所要時間が長いクリティカルパスに基づいて基準サイクルが設定されている場合には、予め設定された動作クロックの速度で1サイクル処理が実行され、クリティカルパスよりも所要時間が短い信号処理の実行頻度が極めて高い場合には、動作クロックを基準サイクルに対応する速度に変更制御し、信号処理に必要な所要時間に応じて、上述したような1サイクル処理と多サイクル処理を適宜実行する。具体的には、アプリケーションプログラムに含まれる信号処理のうち、クリティカルな信号処理の所要時間及び実行頻度が全体の処理の大半を占める場合には、クリティカルな処理の所要時間、例えば10nsを基本サイクルとすると、この基本サイクルに対応する動作クロックの速度(周波数)は、10nsの逆数である100MHzである。LSIの外部から供給される一定速の基準クロックが25MHzとすると、PLLに設定される倍増比は【×4】となる。一方、アプリケーションプログラムに含まれる信号処理のうち、クリティカルでない信号処理の実行頻度が全体の処理の大半を占める場合には、該当する信号処理の所要時間、例えば8nsが基本サイクルに設定されるため、この基本サイクルに対応する動作クロックの速度(周波数)は、8nsの逆数である125MHzとなる。しかしながら、一般に、特定の処理機能、例えば携帯電話における通信機能や家庭電製品における本来の機能の向上を目的とする場合、搭載されるLSIに外部から複数のクロックを供給することは装置構成上、また処理効率上好ましくない。そこで、基準サイクルの所要時間が10nsから8nsに短縮されたことに合わせて、PLLに設定される倍増比を【×5】とし、基本サイクルに対応した動作クロックの速度をLSI内部のプログラム制御により変更設定する。したがって、本実施例によれば、アプリケーションプログラムに含まれる処理内容に応じて処理サイクルを設定して、信号の処理能力を向上させるとともに、基準クロックの倍増比を変化(上昇)させて、システム全体として処理効率を向上させることができる。

【発明の効果】以上説明したように、本発明に係る信号処理回路によれば、アプリケーションプログラムの信号処理の内容に応じて、実行頻度の高い信号処理に必要とする所要時間に基づいて処理サイクルを設定するとともに、クリティカルパスを基準サイクルの複数倍の処理サイクルで実行することにより、実行頻度の高い大半の信号処理を最適な処理サイクルで実行することができる。また、実行頻度の高い信号処理の所要時間に基づいて設定された処理サイクルに対応するように、外部から供給される基準クロックの倍増比をプログラム制御により設

(6) 開2000-76066 (P2000-76066A)

定することができるため、回路装置内部で動作クロックの速度を上昇させて設定することができ、最適な処理速度で信号処理を実行することができる。さらに、DSP等に適用される、積和演算処理を基本処理とするアプリケーションプログラムにおいても、実行頻度の低い積和演算処理を複数サイクルで実行し、実行頻度の高い他の信号処理を1サイクルで実行するとともに、動作クロックを該当する処理サイクルに対応した最適な処理速度に設定することにより、大部分の機能を占める信号処理を最も効率良く動作させ、システム全体として信号処理の効率を向上させることができるため、DSPの動作速度の向上及び低電圧化を図ることができる。

【図面の簡単な説明】

【図1】本発明における処理サイクルの設定方法を示す図である。

【図2】第1の実施例の信号処理回路の概略構成図である。

【図3】第2の実施例の信号処理回路の概略構成図である。

【図4】第3の実施例の信号処理回路の概略構成図である。

【図5】従来のDSPの概略構成図である。

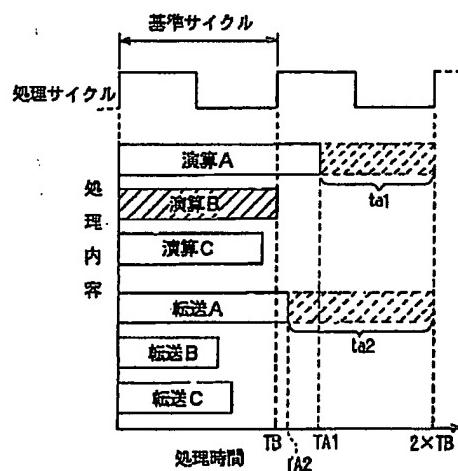
【図6】従来の信号処理時間と処理サイクルとの関係を示す図である。

【符号の説明】

- | | |
|-----|------------|
| 1 1 | デコーダ |
| 1 2 | 演算部 |
| 1 3 | クロック生成部 |
| 1 4 | メモリ |
| 1 5 | バス |
| 1 6 | 処理サイクル設定手段 |
| 1 7 | クロック速度制御手段 |
| 1 8 | P LL |

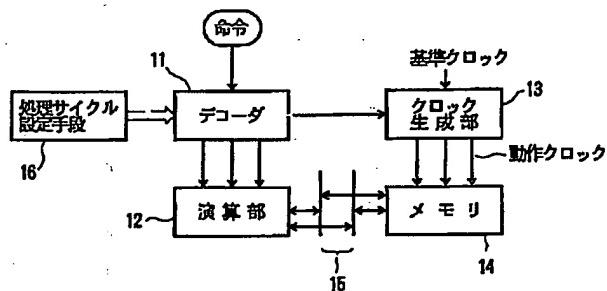
【図1】

本発明における処理サイクルの設定方法



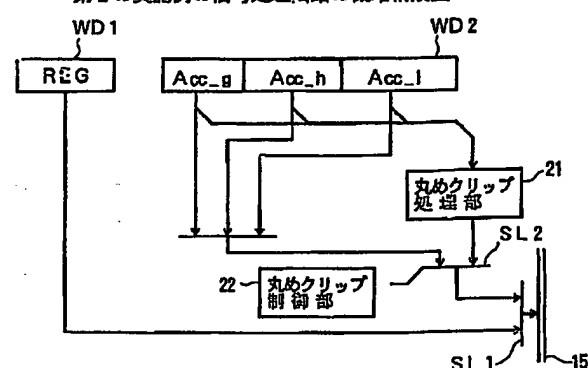
【図2】

第1の実施例の信号処理回路の概略構成図



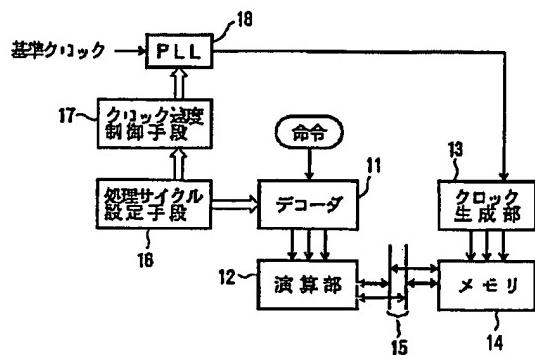
【図3】

第2の実施例の信号処理回路の概略構成図



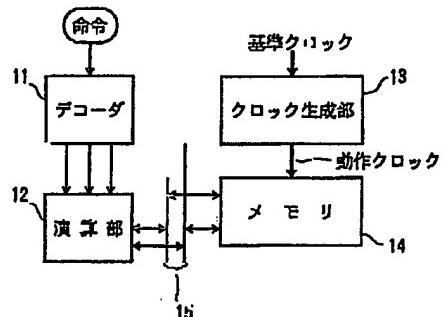
【図4】

第3の実施例の信号処理回路の概略構成図



【図5】

従来のDSPの概略構成図



【図6】

信号処理時間と処理サイクルとの関係

